

УДК 621.3.049.774

Калёнов Александр Дмитриевич, ассистент института интегральной
электроники, НИУ МИЭТ, г. Зеленоград

Сурков Алексей Ильич, инженер, ООО «Сенсарт», г. Зеленоград

ИССЛЕДОВАНИЕ И РАЗРАБОТКА ЛИНЕЙНОГО СТАБИЛИЗАТОРА НАПРЯЖЕНИЯ ПО ТЕХНОЛОГИИ КМОП 180НМ

Аннотация. В работе представлен линейный стабилизатор напряжения, выполненный по технологии КМОП (комплементарный металл-оксид-полупроводник) с технологической нормой 0,18 мкм. Регуляторы низкого выходного напряжения (LDO) часто используются в современной электронной промышленности, поскольку LDO являются одной из подсистем блока управления питанием. LDO используются для защиты чувствительных аналоговых блоков от помех от подключенного источника питания, поскольку у LDO высокий коэффициент подавления напряжения (PSRR). Напряжение питания и низкий ток утечки в LDO определяют срок службы батареи.

Annotation. The paper presents a linear voltage stabilizer made using CMOS technology (complementary metal-oxide-semiconductor) with a technological norm of 0.18 microns. Low output voltage regulators (LDOs) are often used in the modern electronics industry, as LDOs are one of the subsystems of the power management unit. LDOs are used to protect sensitive analog units from interference from an attached power supply, as LDO has a high voltage suppression coefficient (PSRR). The supply voltage and low leakage current in the LDO determine the battery life.

Ключевые слова: LDO, дифференциальный сигнал, КМОП

Keywords: LDO, differential signal, CMOS

Рынок LDO представлен портативными устройствами, электроникой и промышленными автомобильными приложениями, такими как легковые автомобили, автоматические стиральные машины и т.д. Растущий спрос на портативные устройства и продукты с батарейным питанием вынуждает сети работать в условиях пониженного напряжения. Высокий коэффициент усиления и высокое выходное сопротивление обеспечиваются использованием каскадного

КМОП- усилителя в качестве усилителя ошибок при стабильном напряжении на вход усилителя подается опорное напряжение. Опорное напряжение обычно получается из схемы определения ширины запрещенной зоны [1].

LDO-регуляторы - в англоязычной транскрипции Low Drop Out (LDO) - предназначены для стабилизации напряжения с минимальным падением напряжения на стабилизаторе. Другими словами, они должны обеспечивать стабилизацию напряжения при минимально возможной разнице между входным и выходным напряжением [2,3].

Структурная схема и принципиальная схема предлагаемого регулятора LDO состоят из большого PMOS-транзистора, усилителя ошибок, схемы Vref и резисторов обратной связи, как показано на рисунке 1. Усилитель ошибок сравнивает два входных напряжения дифференциальной пары, поступающие от схемы делителя напряжения, и опорное напряжение (VREF) от схемы BGR, а затем управляет напряжением на затворе большого PMOS-транзистора, чтобы поддерживать постоянное выходное напряжение постоянного тока [4]. Кроме того, используется независимая от источника питания схема смещения. При наличии разности напряжений (ΔV) переходные характеристики отображаются на VOUT, выход усилителя ошибок управляет PMOS, и таким образом, PMOS должен работать в линейной области. Если коэффициент усиления разомкнутой цепи достаточно высок, то есть форма переходного напряжения на VDIV будет напоминать форму VREF. Таким образом, схема каскодного усилителя с КМОП-схемой обеспечивает хорошие рабочие параметры в соответствии со спецификациями, такие как высокое усиление, ширина полосы частот с единичным коэффициентом усиления, значительно меньшее время установления и меньший ток покоя при постоянном напряжении с низким перепадом выходного напряжения (LDO) [5].

Реализация схемы LDO осуществляется с использованием следующих блоков и на каждом этапе подключается в соответствии с предложенной структурной схемой: источник опорного тока, усилитель ошибок, резисторная схема обратной связи, проходной элемент — транзистор или комбинация транзисторов, работающих в линейном режиме близко к насыщению.

Падение напряжения на проходном элементе зависит от структуры и

характеристик проходного элемента. Минимальное падение достигается при работе транзистора в зоне насыщения.

Источник опорного тока [7],[10] является базовым модулем каскодного усилителя. Все устройства должны работать в области насыщения, и все конечные токи должны быть одинаковыми, что регулируется резисторами. Источник опорного тока (current mirror) обеспечивают высокое выходное сопротивление, очень низкое напряжение насыщения и малую рассеиваемую мощность.

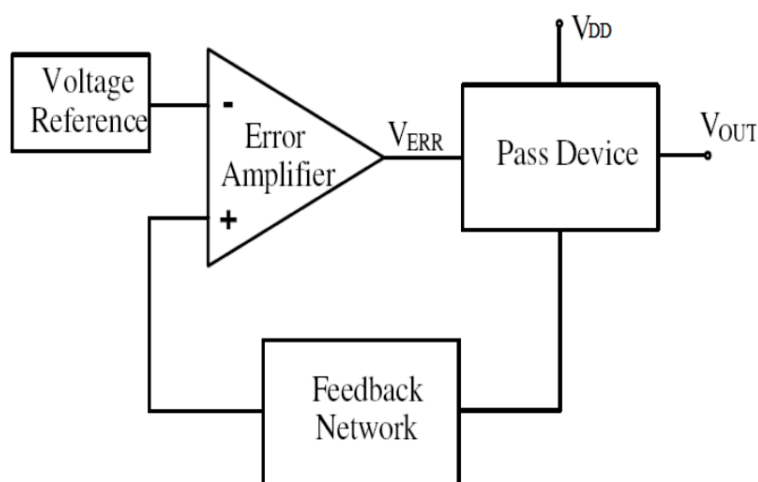


Рисунок 1 – Структурная схема линейного стабилизатора

Коэффициент усиления от однокаскадного усилителя [7],[10] без каскадирования составляет порядка $(g_m * r_0)$, где g_m - проводимость транзистора, а r_0 - выходное сопротивление. При использовании сложного каскада коэффициент усиления составляет порядка $(g_m * r_0)^2$ [2]. Точность LDO определяется с помощью усилителя ошибок.

На рисунке 2 показана электрическая схема разрабатываемого линейного регулятора LDO, на выход дифференциальной пары подается на каскадный усилитель [7], [10] который уменьшает шум. Усилитель ошибок сравнивает два напряжения V_{ref} и напряжение обратной связи, подаваемое резистором. Все МОП-транзисторы усилителя со свернутым каскодом работают в области насыщения, обеспечивая постоянный ток в соответствии с разработанными техническими характеристиками [6].

Схема опорного напряжения представляет собой генератор термокомпенсированного опорного напряжения, основанного на ширине

запрещенной зоны кремния (bandgap). Схемотехника таких блоков хорошо известна из технической литературы. От характеристик этого блока в основном зависит точность выходных напряжений регулятора в диапазоне температур. Для лучшей воспроизводимости характеристик было выбрано отношение масштабных коэффициентов транзисторов генератора 16:1, выбраны рабочие токи через эти транзисторы и коэффициенты отношения резисторов для получения термокомпенсированной кривой выходного напряжения с использованием резисторов одинаковой величины в составе блока resblock [7].

Базовая архитектура генератора опорного напряжения и тока (REFG) аналогична схеме, известной как bandgap voltage reference, которая обычно применяется в биполярной технологии из-за экспоненциальной характеристики рп-перехода. Хорошей заменой биполярным транзисторам признаны МОП-транзисторы, работающие в режиме слабой инверсии, также известном как подпороговая проводимость (экспоненциальные характеристики) [8].

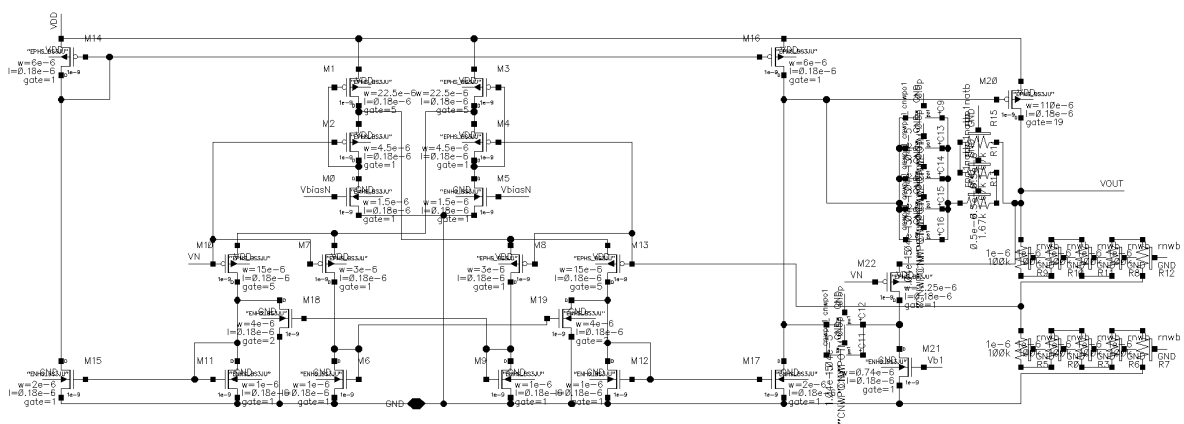


Рисунок 2 – Электрическая схема линейного регулятора

Слабая инверсия возникает, когда напряжение VGS МОП-транзистора меньше порогового напряжения V_{TH} . При слабой инверсии транзистор может работать с очень малыми токами (десятки наноампер), что делает его пригодным для применения с низким энергопотреблением [6], [8].

Температурная компенсация выходов достигается путем последовательного подключения резистора RTAT (пропорционального абсолютной температуре) и диода СТАТ (дополнительного к абсолютной температуре), подключенных к NMOS-транзисторам. Главной особенностью этой конструкции является стабильная выходная мощность независимо от источника питания, температуры и изменения потребляемого тока. Схема детектора ошибки представляет собой

классический усилитель ошибки, в который добавлен токовый усилитель, чтобы максимально сместить вверх по частоте полюс частотной характеристики, связанный с емкостью затвора выходного транзистора регулятора и выходным сопротивлением усилителя ошибки. Одновременно это решение значительно улучшает переходные характеристики регулятора напряжения [8].

Регулятор напряжения с низким перепадом напряжения обеспечивает регулируемое и стабильное по температуре напряжение питания для схемы, используя параметры, предоставляемые опорным генератором. Преобразователь напряжения в ток буферизует выходные сигналы опорного генератора. На выходе схемы используется опорный резистор для точной настройки температурного коэффициента.

Архитектура регулятора обеспечивает превосходное регулирование нагрузки. Теоретически, выходной ток и напряжения не должны зависеть от напряжения питания. Это следует из выражения для напряжения V_B и тока через эту ветвь (этот ток отражается во всех других ветвях), которое не зависит от напряжения питания.

Для уменьшения влияния температурного градиента использовались четное число сегментов в резисторах, применяя соединение, компенсирующее термоэлектрический эффект. Для экранирования шумов по подложке используются замкнутые диффузионные охранные кольца, разделяющие блоки. Во избежание появления краевых эффектов вокруг критичных резисторов используются поликремневые кольца. Ширина металлических шин была выбрана с учетом плотности протекающего через них тока для исключения отказов, вызванных эффектом электромиграции. В местах, рекомендованных правилами проектирования, добавлены диоды для борьбы с антенным эффектом и эффектами, возникающими при плазмо-химическом травлении [8].

Схема линейного стабилизатора разработана с использованием технологии КМОП HCMOS8D 180нм. На рисунке 3 показана топологическая схема линейного стабилизатора. Размеры схемы линейного стабилизатора 55 мкм×41 мкм.

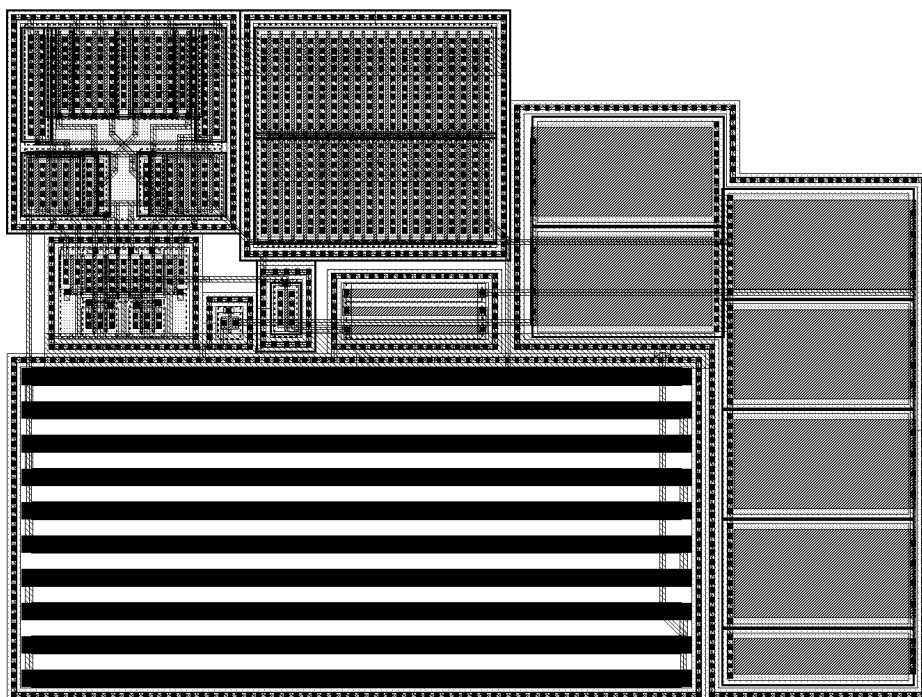


Рисунок 3 – Топологическое представление схемы линейного стабилизатора

Для подключения внутренних узлов кристалла к выводам V_{in} , V_{out} блока регулятора рекомендуется использовать шины металлов 2, 3 и 4 максимальной возможной ширины. Где возможно, использовать металл 5 и металл 6 для разводки цепей питания. Падение напряжения на выходной шине наиболее критично для обеспечения устойчивости регулятора и снижения погрешности выходного напряжения. Для снижения ошибки выходного напряжения рекомендуется использовать для подключения зоны металла (порты), непосредственно прилегающие к регулируемому транзистору.

Кроме того, важно учитывать размещение конденсаторов, подключенных к выходу, чтобы минимизировать паразитные индуктивности и сопротивления. Конденсаторы должны располагаться как можно ближе к регулируемому транзистору и металлическим портам, чтобы стабилизировать напряжение и подавить высокочастотные колебания, которые могут вызвать ошибки в работе устройства. В случае, если использование более крупных конденсаторов затруднено, рекомендуется рассмотреть возможность использования параллельно подключенных меньших конденсаторов, что позволит более плавно контролировать динамические изменения в цепи.

При необходимости дополнительной фильтрации выходного напряжения блока рекомендуется подключение внешнего конденсатора C_{ext} , желательно, керамического с низкими потерями. При этом в эквивалентной схеме системы появляются паразитные сопротивления выводов и индуктивности проволочек разварки, значительно влияющие на запас устойчивости. Для снижения помех в цепях питания цифровых блоков микросхемы рекомендуется на кристалле микросхемы использование внутреннего конденсатора C_{int} максимальной доступной величины. Фазовый запас регулятора в такой схеме включения достаточен при изменении тока нагрузки в широких пределах.

3 Основные технические характеристики линейного стабилизатора

Значения электрических параметров линейного стабилизатора при приемке (поставке), эксплуатации (в течение наработки) и хранении (в течение срока сохраняемости) в режимах и условиях, установленных настоящими техническими требованиями, должны соответствовать нормам, приведенным в таблице 1 [10].

В таблице 1 приведены электрические параметры разрабатываемой схемы линейного стабилизатора.

Таблица 1 – Электрические параметры при приемке и поставке линейного стабилизатора

Параметр	Описание	Значение			Температура окружающей среды, °C
		Мин	Макс	Ед.изм	
VDD	Напряжение питания	2,55	3,6	В	25 ± 10, -60, 85
I _н	Нагрузочная способность	180	220	мА	
C _н	Емкостная нагрузка	80	120	пФ	
V _{out}	Выходное напряжение	1,78	1,82	В	
T	Время отклика	2,5	3,5	мкс	

Напряжение питания для линейного стабилизатора 3.3В ±5%.

Результат моделирования во временной области линейного стабилизатора, спроектированного на отечественной технологии КМОП HCMOS8D 180нм показан на рисунке 4.

Моделирование проведено с использованием САПР Cadence.

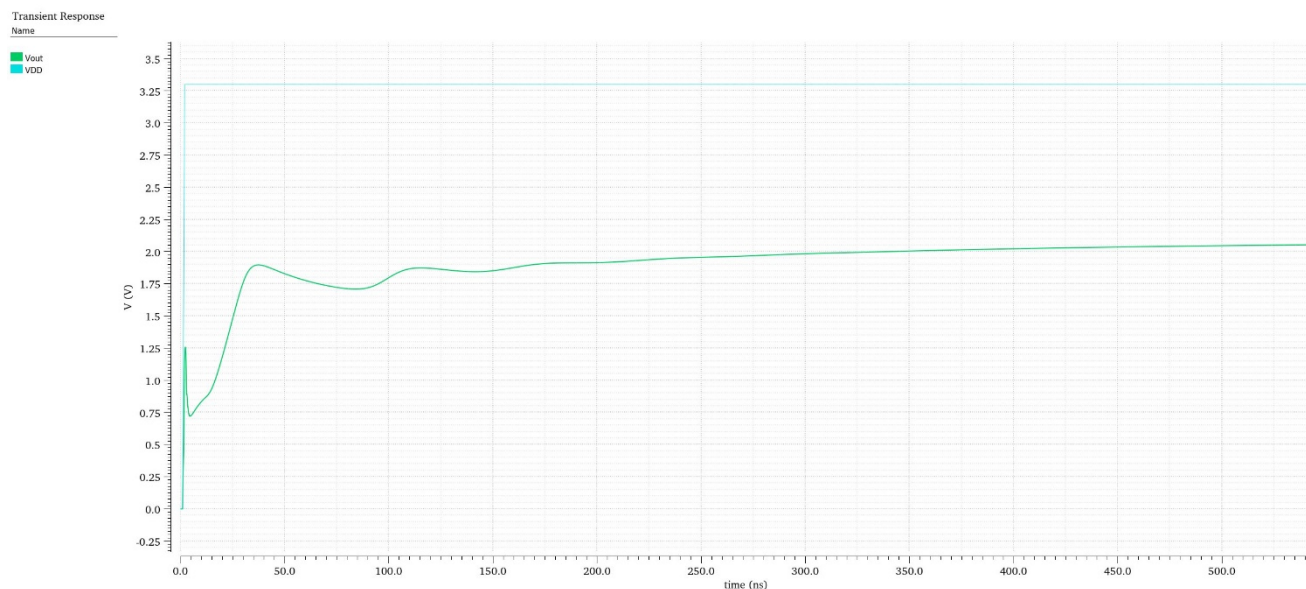


Рисунок 4 – Результаты моделирования линейного стабилизатора

Исследования и разработки выполнены в рамках соглашения с Минобрнауки №075-03-2025-266 от 16.01.2025г. FSMR-2023-0002.

Список использованных источников

1. K. R. Francisco and J. A. Hora, «Very low bandgap voltage reference with high PSRR enhancement stage implemented in 90nm CMOS process technology for LDO application,» Int. Conf. Electron. Devices, Syst. Appl., pp. 216–220, 2012.
2. W. Li, R. Yao, and L. Guo, «A Low Power CMOS Bandgap Voltage Reference,» vol. 2, no. 5, pp. 1–5, 2009.
3. E. Barteselli, L. Sant, R. Gaggi and A. Baschiroto, «Design Techniques for Low-Power and Low-Voltage Bandgaps». Electricity 2021, 2, 271-284.
4. K. N. Leung and P. K. T. Mok, «A sub-1-V 15-ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device,» IEEE J. Solid-State Circuits, vol. 37, no. 4, pp. 526–530, 2002.

5. I. Conference, E. Engineering, and H. E. Mashhad, «High Swing UltraLow-Power Two Stage CMOS OP-AMP in 0.18 J.tm Technology Ehsan Kargaran,» Engineering, vol. 1, no. Icmee, pp. 68–71, 2010.
6. T. Kackar, S. Suman, and P. K. Ghosh, «Design of high gain low power operational amplifier,» Int. Conf. Electr. Electron. Optim. Tech. ICEEOT 2016, no. 1, pp. 3270– 3274, 2016.
7. Q. A. Khan, «Low Power Startup Circuits for Voltage,» Power, pp. 184–188, 2003.
8. Razavi B., «Challenges in the design high-speed clock and data recovery circuits," IEEE Communications Magazine, vol.40, no.8, pp. 94-101, Aug. 2002.