

УДК 004.312

Майфат Денис Александрович, магистрант, 2 курс. физико-технический факультет / кафедра общей физики Тверской государственной университет, г. Тверь

РАЗРАБОТКА ИСПЫТАТЕЛЬНОГО СТЕНДА ДЛЯ ВЕРИФИКАЦИИ АЛГОРИТМОВ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ НА ПЛИС

Аннотация. В статье рассматривается задача разработки испытательного стенда для верификации алгоритмов цифровой обработки сигналов (ЦОС) на ПЛИС. Для этого предлагается использовать персональный компьютер совместно с разработанным программным обеспечением для передачи данных сигналов на программируемую логическую интегральную схему (ПЛИС), отладочную плату Xilinx Kintex-7 FPGA KC705 Evaluation Kit, Ethernet-интерфейс для обмена данными, JTAG-интерфейс для программирования ПЛИС и блок питания. В результате проведенного исследования продемонстрирована эффективность данного подхода, позволяющего ускорить процесс верификации и повысить точность оценки работы алгоритмов. Полученные выводы подтверждают практическую применимость разработанного стенда для комплексного тестирования цифровых систем на ПЛИС.

Annotation. The article discusses the task of developing a test bench for verifying digital signal processing (DSP) algorithms on FPGAs. To do this, it is proposed to use a personal computer in conjunction with the developed software for transmitting signal data to a programmable logic integrated circuit, a Xilinx Kintex-7 FPGA KC705 Evaluation Kit, an Ethernet interface for data exchange, a JTAG interface for FPGA programming and a power supply unit. As a result of the research, the effectiveness of this approach has been demonstrated, which makes it possible to speed up the verification process and improve the accuracy of evaluating the algorithms. The findings confirm the practical applicability of the developed stand for comprehensive testing of digital FPGA systems.

Ключевые слова: цифровая обработка сигналов, ПЛИС, верификация алгоритмов ЦОС, Verilog, отладочная плата Xilinx KC705

Keywords: digital signal processing, FPGA, DSP algorithm verification, Verilog, Xilinx KC705 Development Board

Введение

В условиях стремительного развития радиоэлектронных технологий задачи мониторинга радиоэфира приобретают особую значимость, включая контроль радиочастотного спектра, выявление активных источников сигналов и обеспечение безопасности радиосвязи. Разработка алгоритмов цифровой обработки сигналов (ЦОС) на программируемых логических интегральных схемах (ПЛИС) является ключевым направлением в решении этих задач [1, 2, 3]. ПЛИС обеспечивают высокую производительность и параллелизм обработки данных, что позволяет реализовывать сложные алгоритмы в реальном времени с минимальными задержками. Такие алгоритмы широко используются в различных вычислительных комплексах, включая бортовые вычислительные машины (БЦВМ), системы радиолокации, связи и разведки. Эффективность и надежность алгоритмов цифровой обработки сигналов напрямую зависят от их корректной реализации на аппаратном уровне. Однако, с увеличением сложности алгоритмов возрастает необходимость в разработке специализированных средств для их тестирования и верификации. В этой связи создание испытательного стенда для верификации алгоритмов ЦОС на ПЛИС становится важной задачей [4, 5].

Разработка испытательного стенда

Испытательный стенд состоит из персонального компьютера (ПК) с разработанным специализированным программным обеспечением (Special Software), отладочной платы Xilinx KC705, оснащённой ПЛИС XC7K325T-2FFG900C, аппаратной прошивки ПЛИС, реализованной на языке описания аппаратуры Verilog, а также комплекта необходимых кабелей,

обеспечивающих взаимодействие между компонентами системы (см. рис. 1). Разработанное программное обеспечение Special Software, реализованное на языке Python (см. рис. 2), обеспечивает генерацию широкого спектра модулированных сигналов, включая частотно- (ЧМ), амплитудно- (АМ) и фазомодулированные (ФМ) типы [4, 5]. Для передачи сгенерированных сигналов с ПК на ПЛИС реализован протокол обмена данными на основе стека UDP поверх интерфейса Ethernet.

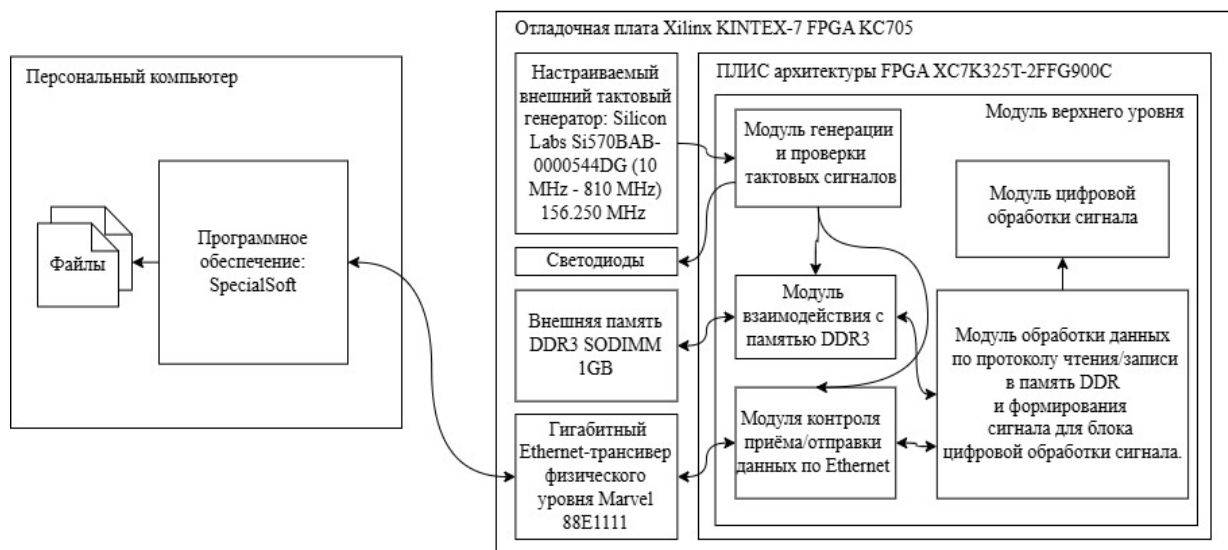


Рис. 1 Структура стенда взаимодействия ПЛИС с ПК и внутренняя архитектура проекта на ПЛИС.

Принятые ПЛИС данные буферизуются в модуле энергозависимой памяти DDR3 SODIMM (Small Outline Dual In-line Memory Module) компании Micron MT8JTF12864HZ-1G6G1, где сохраняются до поступления управляющего пакета, инициирующего передачу сигнала в блоки цифровой обработки сигналов (ЦОС) из DDR3. В блоках ЦОС осуществляется обработка данных с применением специализированных алгоритмов. Дополнительно реализован механизм обратного чтения буферизованных данных из DDR3 на ПК через интерфейс Ethernet, обеспечивающий верификацию целостности передаваемых сигналов. Передаваемый на ПК сигнал дополнительно сохраняется в виде файлов формата .txt, что обеспечивает возможность его последующего использования в системе автоматизированного

проектирования (САПР) Vivado [1] для верификации модулей на этапе симуляционного моделирования.

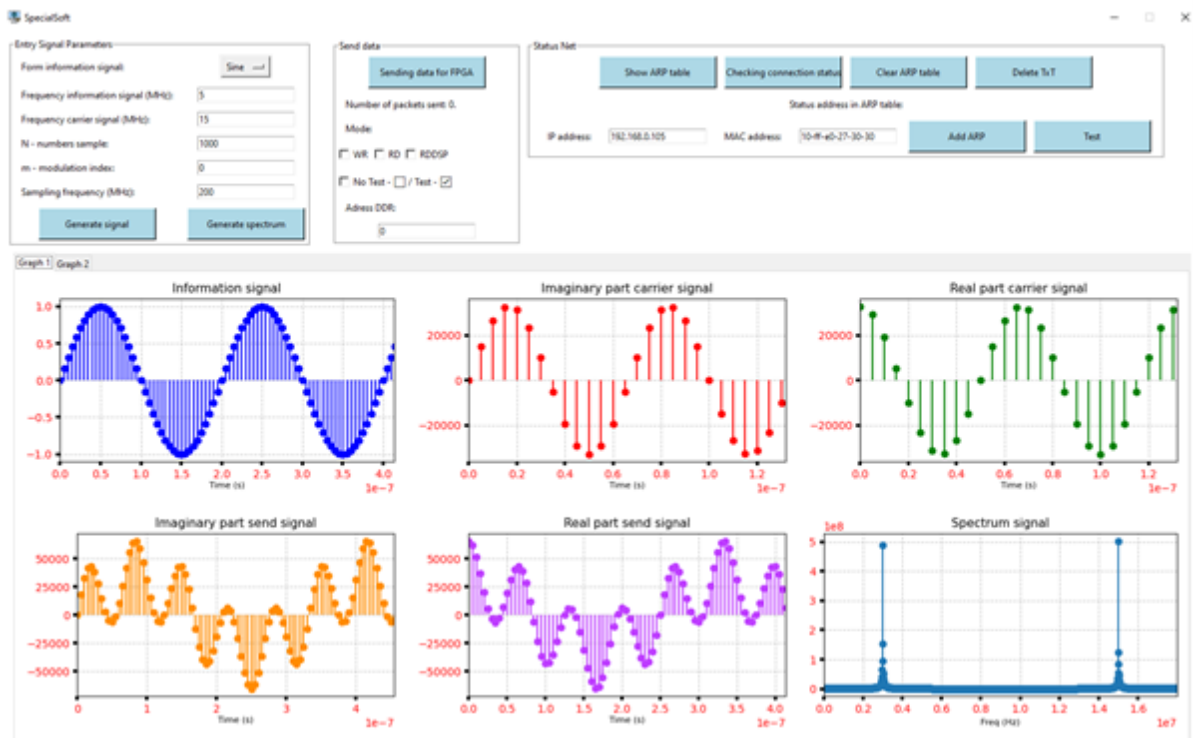


Рис. 2 Интерфейс основного окна приложения Special Software.

Проект аппаратной прошивки для ПЛИС разработан с использованием среды САПР Vivado на языке описания аппаратуры Verilog. Логика ПЛИС тактируется от генератора Si570 Programmable Oscillator, который поддерживает настройку частоты в диапазоне от 10 до 810 МГц через интерфейс I^2C , однако по умолчанию он генерирует тактовый сигнал с частотой 156,250 МГц, и именно этот сигнал с частотой 156,250 МГц и поступает в ПЛИС. Далее он подаётся на примитив IBUFDS (Input Buffer Differential Single-Ended), который преобразует дифференциальный тактовый сигнал в однополярный сигнал. IBUFDS является стандартным компонентом Xilinx для работы с дифференциальными сигналами.

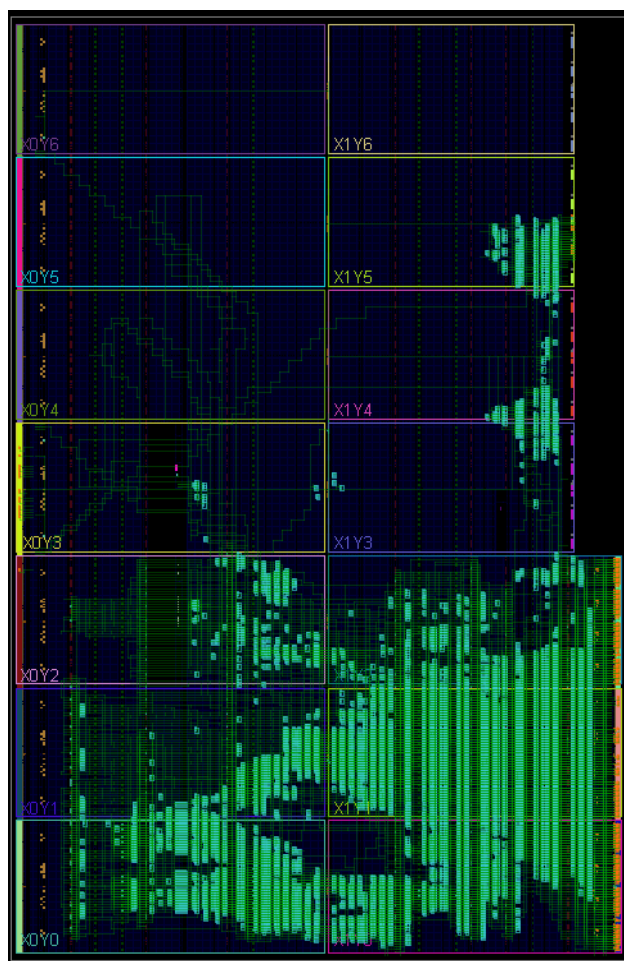


Рис. 3 Схематическое изображение проекта после имплементации на ПЛИС XC7K325T-2FFG900C.

Ключевые особенности заключаются в том, что Si570 обеспечивает стабильность частоты ± 50 ppm и разрешение 0,09 ppb, а IBUFDS гарантирует целостность сигнала за счёт синфазного подавления шумов. Для изменения частоты требуется перепрограммирование генератора через I^2C , но после сброса питания настройки возвращаются к заводским. Проект на ПЛИС состоит из следующих основных модулей: ClockLevel, EthernetLevel, WriteReadDDR, DDR3Level и DSPlevel, которые обеспечивают синхронизацию и генерацию тактовых сигналов, организацию передачи данных по интерфейсу Ethernet, управление чтением и записью данных в память DDR3, а также выполнение цифровой обработки сигналов с использованием специализированных алгоритмов. Каждый из этих модулей реализован с учётом особенностей аппаратной платформы Xilinx KC705 с

ПЛИС XC7K325T-2FFG900C. Схематичное отображение проекта после имплементации на ПЛИС XC7K325T-2FFG900C представлен на рисунке 3. Пример сигнала, захваченного логическим анализатором ILA после чтения данных из памяти DDR, представлен на рисунке 4. Данный сигнал иллюстрирует корректность передачи и временную структуру данных, что подтверждает правильность функционирования соответствующих модулей проекта на ПЛИС.

Выводы

1. Разработан испытательный стенд, обеспечивающий комплексную проверку и верификацию алгоритмов цифровой обработки сигналов ЦОС на ПЛИС, что позволяет повысить надёжность и точность функционирования систем, использующих ПЛИС.
2. Внедрена логика обратного чтения и верификации сигналов, что обеспечивает контроль целостности данных и подтверждает корректность реализации алгоритмов на аппаратном уровне.
3. Предложенная архитектура испытательного стенда обладает масштабируемостью и гибкостью, что позволяет интегрировать новые модули и расширять функционал в соответствии с требованиями алгоритмов ЦОС.

Литература

1. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. // М.: Горячая линия - Телеком. 2022. 538 с.
2. Соловьев В.В. Архитектуры ПЛИС фирмы Xilinx: CPLD и FPGA 7-й серии. // М.: Горячая линия - Телеком. 2016. 392 с.
3. Зотов В. Особенности архитектуры нового поколения ПЛИС с архитектурой FPGA фирмы Xilinx // Компоненты и технологии. 2010. № 12
4. Гольденберг, Л. М. Цифровая обработка сигналов : учебное пособие // Л.М.Гольденберг, Б. Д.Матюшкин, М. Н. Поляк. 2-е изд., перераб. и доп. Москва : Радио и связь, 1990. 256 с.
5. Яковлев А.Н. Основы теории сигналов в примерах, упражнениях и заданиях: учебное пособие // А.Н.Яковлев. Новосибирск: Новосибирский государственный технический университет. 2012. 470 с.

Literature

1. Tarasov I.E. Xilinx FPGAs. Hardware Description Languages VHDL and Verilog, CAD, Design Techniques. // Moscow: Hot Line - Telecom, 2022. 538 p.
2. Solovyov V.V. Architectures of Xilinx FPGAs: CPLD and 7-Series FPGA. — Moscow: Hot Line - Telecom, 2016. 392 p.
3. Zotov V. Features of the New Generation FPGA Architecture by Xilinx // Components and Technologies, 2010, No. 12.
4. Goldenberg L.M. Digital Signal Processing: Textbook // L.M. Goldenberg, B.D. Matyushkin, M.N. Polyak. 2nd ed., revised and supplemented. Moscow: Radio and Communication, 1990. 256 p.
5. Yakovlev A.N. Fundamentals of Signal Theory in Examples, Exercises and Problems: Textbook // A.N. Yakovlev. Novosibirsk: Novosibirsk State Technical University, 2012. 470 p.