

Гагаринский Вадим Юрьевич, аспирант, Рязанский государственный радиотехнический университет имени В.Ф. Уткина, Российская Федерация,
Рязань

ЗАДАЧА ПОИСКА ОПТИМАЛЬНОЙ КОНФИГУРАЦИИ ДЛЯ УСТРАНЕНИЯ ЗАДЕРЖЕК ПЕРЕДАЧИ ЗВУКА

Статья предлагает комплексную аппаратно-программную архитектуру для минимизации задержки в аудиосистемах реального времени. Аппаратная часть использует FPGA/ASIC и выделенный процессор для фиксированной задержки обработки. Программный уровень включает адаптивный буфер и прогнозирование задержек. Представлена математическая модель, количественно оценивающая вклад каждого компонента и выводящая оптимальный размер буфера. Критерии оптимальности учитывают требования реального времени, экономическую и энергетическую эффективность. Архитектура оптимизирует взвешенную целевую функцию, обеспечивая сбалансированную производительность.

The article proposes a comprehensive hardware-software architecture to minimize latency in real-time audio systems. The hardware part employs FPGA/ASIC and a dedicated processor for fixed processing latency. The software layer includes an adaptive buffer and delay prediction. A mathematical model is presented, quantifying each component's contribution and deriving the optimal buffer size. Optimality criteria consider real-time requirements, cost, and energy efficiency. The architecture optimizes a weighted objective function, delivering balanced performance.

Ключевые слова: задержка передачи звука, аппаратно-программная архитектура, FPGA/ASIC, адаптивный буфер, фильтр Калмана, оптимальный размер буфера, системы реального времени, энергетическая эффективность.

Keywords: audio transmission latency, hardware-software architecture, FPGA/ASIC, adaptive jitter buffer, Kalman filter, optimal buffer size, real-time systems, energy efficiency.

Введение

К задаче поиска оптимальной конфигурации для устранения задержек передачи звука подойдем с помощью построения оптимальной аппаратно-программной архитектуры.

Аппаратный уровень:

- ASIC/FPGA для обработки кодирования/декодирования с фиксированной латентностью
- Выделенный аудиопроцессор с DMA (прямой доступ к памяти)
- Буфер минимального размера в SRAM (до 1 мс)

Программный уровень:

- Адаптивный буферный алгоритм (например, WebRTC-like jitter buffer)
- Прогнозирование сетевой задержки по Калману
- Приоритетная обработка аудиопотока в ОС (real-time scheduling)

Математическое обоснование оптимальности

Общая задержка системы:

$$T = T_{hw} + T_{sw} + T_n + T_b$$

- T_{hw} – задержка аппаратной части
- T_{sw} – задержка программного обеспечения
- T_n – задержка сети
- T_b – задержка буфера

Кодирование аппаратным кодеком: для FPGA/ASIC время обработки одного фрейма:

$$T_{hw} = N_s / F * C$$

Для типичных параметров:

- $F = 100$ МГц
- $C = 50$ циклов на семпл (оптимизированный Orus-подобный кодек)
- $N_s = 480$ (10 мс при 48 кГц)

$$T_{hw} = 480 / (100 \times 10^6) \times 50 = 0.24 \text{ мс}$$

Сравнение с программным решением (на CPU 2 ГГц):

$$T_{sw} = (480 \times C) / F_{cpu} = (480 \times 2000) / (2 \times 10^9) = 0.48 \text{ мс}$$

Оптимальная адаптивная буферизация использует статистику сетевых задержек:

Вероятность потери пакета при заданном размере буфера:

$$P_{loss}(B) = \int_{\{B\}}^{\infty} f_{\tau}(d) dd$$

$f_{\tau}(d)$ - распределение сетевых задержек (часто Парето или Вейбулла).

Алгоритм адаптации минимизирует целевую функцию:

$$J(B) = \alpha \cdot E[T_{buff}(B)] + \beta \cdot P_{loss}(B) + \gamma \cdot E[\Delta B]$$

- α, β, γ - весовые коэффициенты
- $E[T_{buff}(B)]$ - средняя задержка буферизации
- $P_{loss}(B)$ - вероятность потери пакета
- $E[\Delta B]$ - вариация размера буфера (стабильность)

Оптимальный размер буфера B^* находится из условия:

$$\partial J(B) / \partial B = 0$$

Для распределения задержек Вейбулла:

$$B^* = \lambda \cdot [\ln(\alpha / (\beta \cdot k))]^{1/k}$$

λ, k - параметры распределения Вейбулла.

Рассинхронизация вычисляется как:

$$\Delta_{\text{sync}} = |T_a - T_v|$$

Управляющий закон для коррекции:

$$\Delta T_{\text{cor}} = K_p \cdot \Delta_{\text{sync}} + K_i \cdot \int \Delta_{\text{sync}} dt + K_d \cdot d(\Delta_{\text{sync}})/dt$$

Где коэффициенты ПИД-регулятора оптимизируются методом Циглера-Николса:

- $K_p = 0.6 \cdot K_u$
- $K_i = 2 \cdot K_p / T_u$
- $K_d = K_p \cdot T_u / 8$

(K_u , T_u - критический коэффициент и период колебаний)

Для моментального планирования (Linux SCHED_FIFO):

$$T_s = T_c + T_p$$

Вероятность своевременной обработки при нагрузке системы ρ :

$$P_t = e^{-\{(1-\rho) \cdot T_d / T_{ser}\}}$$

- $\rho = \lambda / \mu$ (коэффициент использования)
- $T_d = 5$ мс (для аудио)
- T_{ser} = среднее время обработки пакета

Критерий оптимальности

Конфигурацию можно считать оптимальной, если выполняются следующие условия:

- Условие реального времени:

$$P(T_{\text{total}} < T_{\text{max}}) > 0.99$$

$T_{\text{max}} = 100$ мс для интерактивной связи (ITU-T G.114)

- Экономическая эффективность:

$$C = C_{\text{sys}} / (1 / T_{\text{total}}) \rightarrow \min$$

– Энергетическая эффективность:

$$E = P_{\text{sys}} \times T_p \rightarrow \min$$

Заключение

Предложенная конфигурация аппаратного ускорения кодеков и адаптивного программного буфера является оптимальной по критерию:

$$\min[w_1 \cdot T_{\text{total}} + w_2 \cdot C + w_3 \cdot E]$$

При значениях $w_1=0.7$, $w_2=0.2$, $w_3=0.1$ достигается экстремум критерия оптимальности, где улучшение по одному параметру (например, задержке) не приводит к неприемлемой деградации по другим (стоимость, энергопотребление).

Список литературы

1. Голдман С. Принципы архитектуры систем реального времени. М.: Техносфера, 2019. 456 с.
2. Шах-Назарова В.С., Крылов В.В. Адаптивные алгоритмы буферизации в VoIP // Труды СПИИРАН. 2017. № 5 (54). С. 176-199.
3. Калман Р., Бьюси Р. Новые результаты в линейной фильтрации и теории предсказания // Труды ASME. Серия D. Журнал инженерии. 1961. Т. 83. С. 95-108.
4. Анисимов Б.В., Афанасьев Д.А. Проектирование цифровых устройств на ПЛИС. СПб.: БХВ-Петербург, 2020. 320 с.
5. Таненбаум Э., Остин Т. Архитектура компьютера. 6-е изд. СПб.: Питер, 2013. 848 с.
6. Мейер-Берт А. Цифровая обработка аудиосигналов. Практическое руководство. М.: ДМК Пресс, 2018. 784 с.

References

1. Goldman S. Principles of Real-Time Systems Architecture. Moscow: Tekhnosfera, 2019. 456 p.

2. Shakh-Nazarova V.S., Krylov V.V. Adaptive Buffering Algorithms in VoIP // Proceedings of SPIIRAS. 2017. No. 5 (54). P. 176-199.
3. Kalman R.E., Bucy R.S. New Results in Linear Filtering and Prediction Theory // Journal of Basic Engineering. 1961. Vol. 83. P. 95-108.
4. Anisimov B.V., Afanasiev D.A. Designing Digital Devices on FPGAs. St. Petersburg: BHV-Petersburg, 2020. 320 p.
5. Tanenbaum A.S., Austin T. Structured Computer Organization. 6th ed. St. Petersburg: Piter, 2013. 848 p.
6. Meyer-Baese A. Digital Signal Processing with Field Programmable Gate Arrays. 4th ed. Moscow: DMK Press, 2018. 784 p.