

Пантелеев Егор Дмитриевич

НИУ МИЭТ ООО «НМ-ТЕХ», Зеленоград

инженер-программист 2-й категории

**РАЗРАБОТКА МЕТОДОВ СИНТЕЗА В ЗАДАЧАХ
АВТОМАТИЗИРОВАННОГО СОЗДАНИЯ ТОПОЛОГИИ
КВАЛИФИКАЦИОННЫХ ЯЧЕЕК ДЛЯ АТТЕСТАЦИИ СЛОЖНЫХ
ПРАВИЛ**

Аннотация. В статье рассматриваются методы автоматизированного синтеза топологии квалификационных ячеек (КЯ), предназначенных для аттестации и валидации файлов физической верификации (DRC-дек) в составе комплекта средств проектирования (PDK) интегральных схем. Экспоненциальный рост числа технологических правил в современных субмикронных техпроцессах делает ручное создание тестовых структур неприемлемо трудоёмким, особенно для сложных правил, корректность проверки которых зависит не от отдельных геометрических примитивов, а от совокупных характеристик множества взаимосвязанных элементов топологии. Предложены методы синтеза фрагментов для двух классов таких правил – антенных правил и правил плотности заполнения слоёв, – включая формирование структур со скрытым представлением функциональных блоков в виде «чёрного ящика». Программные модули реализованы на языке C++; для интерактивной работы разработан графический интерфейс на базе фреймворка Qt. Приводятся результаты тестирования и внедрения разработанных средств в маршрут разработки PDK.

Ключевые слова: PDK, DRC, квалификационная ячейка, физическая верификация, антенные правила, правила плотности, синтез топологии, C++, Qt.

Annotation. The paper presents methods for the automated synthesis of qualification cell (QA cell) layout intended for the attestation and validation of

physical verification files (DRC decks) within the Process Design Kit (PDK) of integrated circuits. The exponential growth in the number of technological rules in modern deep-submicron processes makes the manual creation of test structures prohibitively laborious, especially for complex rules whose verification depends not on simple geometric primitives but on cumulative areas and hierarchical relations across the entire layout. Methods are proposed for synthesizing fragments for two classes of such rules – antenna rules and layer density rules – including the generation of structures with hidden functional blocks represented as a “black box”. The software modules are implemented in C++; an interactive graphical user interface based on the Qt framework has been developed. Results of testing and integration of the developed tools into the PDK development flow are provided.

Keywords: PDK, DRC, qualification cell, physical verification, antenna rules, density rules, layout synthesis, C++, Qt.

Современная микроэлектронная промышленность характеризуется непрерывным уменьшением проектных норм и усложнением физической структуры интегральных схем (ИС). В этих условиях любая топологическая ошибка, не выявленная на этапе проектирования, влечёт критические потери ресурсов и времени на повторный производственный цикл, а с учётом стоимости комплекта фотошаблонов и запуска пластин цена такой ошибки становится неприемлемо высокой. Гарантом соответствия разработанной топологии возможностям технологического процесса выступает комплект средств проектирования (Process Design Kit, PDK) – доверенный интерфейс между проектной организацией и полупроводниковым заводом.

Одним из ключевых компонентов PDK являются файлы физической верификации (DRC-деки) – наборы правил для проверки проектных норм, описанных в руководстве по правилам проектирования (Design Rule Manual, DRM). С переходом на глубокие субмикронные технологии число технологических правил растёт экспоненциально: если для старых технологий оно измерялось сотнями, то для современных техпроцессов исчисляется тысячами, а между правилами возникают сложные зависимости. Ошибка в

коде DRC-деки приводит либо к пропуску критического нарушения и неработоспособности кристалла, либо к генерации множества ложных ошибок, неоправданно затягивающих цикл проектирования. Единственным надёжным способом аттестации и валидации DRC-дек является использование квалификационных ячеек (КЯ).

Квалификационные ячейки – это специально спроектированные топологические структуры, содержащие как корректные конфигурации фигур (pass cases), так и заведомо некорректные (fail cases). Ручное создание таких ячеек в современных условиях сопряжено с рядом проблем: колоссальный объём при наличии тысяч правил; высокая вероятность ошибки, при которой неверно отрисованная тестовая ячейка обесценивает всю процедуру валидации PDK; итеративность процесса, поскольку доработка техпроцесса влечёт изменение DRM и, как следствие, необходимость обновления всей библиотеки КЯ.

Особую сложность представляет автоматизация генерации ячеек для правил плотности слоёв и антенных правил, где корректность проверки определяется не отдельными геометрическими примитивами, а совокупными характеристиками множества взаимосвязанных элементов топологии. Ручная отрисовка подобных структур требует точного математического расчёта большого числа элементов, поэтому автоматизированный синтез становится фактически единственным способом гарантировать полное покрытие этих критических для выхода годных правил. Целью настоящей работы является разработка методов синтеза топологии квалификационных ячеек для правил плотности и антенных правил.

Классификация проектных правил и требования к квалификационным ячейкам

Всё многообразие проверок DRM можно разделить на два укрупнённых класса. Базовые геометрические правила оперируют простыми примитивами одного или нескольких слоёв: правила ширины (width) и отступа (spacing), связанные с ограничениями фотолитографии и травления; правила включения

(enclosure) и нависания (extension), компенсирующие ошибки совмещения масок; правила пересечения (overlap) и минимальной площади (area). Сложные правила направлены на учёт физических эффектов, возникающих при взаимодействии множества элементов или на больших участках кристалла, и требуют более объёмных вычислений и анализа иерархии. К ним относятся правила отступа, зависящего от ширины или длины совместного пробега фигур; правила предотвращения эффекта защёлки (latch-up); правила плотности заполнения слоёв, обеспечивающие равномерность химико-механической полировки; антенные правила, ограничивающие отношение площади трассировочного слоя к площади затвора для предотвращения повреждения подзатворного диэлектрика накопленным зарядом.

Эффективность валидации PDK напрямую зависит от качества тестовых данных, поэтому к квалификационной ячейке предъявляется ряд требований. Она должна содержать положительные тесты, в которых параметры в точности соответствуют минимально допустимым значениям DRM и не вызывают срабатывания ошибок, и отрицательные тесты, в которых значение параметра намеренно смещено на один шаг сетки и обязано вызывать ошибку. Каждая ячейка, как правило, проверяет только одно правило, а взаимное наложение нескольких нарушений недопустимо, так как затрудняет локализацию проблем в коде деки. Наконец, набор фрагментов должен покрывать максимальное число топологических ситуаций (различные ориентации и контексты), а сама библиотека – содержать ячейку для каждого правила DRM.

Общий маршрут автоматизированного синтеза топологии

Предложенный маршрут получения топологии КЯ состоит из трёх этапов. На первом формируется библиотека эскизов топологии, которые могут быть созданы как вручную, так и автоматически при помощи генераторов эскизов для заданных типов правил. На втором из эскизов создаются фрагменты, представляющие различные варианты выполнения и нарушения правила; для простых правил эскизы предварительно обрабатываются

алгоритмами сжатия и коррекции топологии, устраняющими нарушения всех прочих правил, тогда как для сложных правил такая обработка не производится. На третьем этапе из фрагментов по специальному шаблону собирается результирующая квалификационная ячейка.

Входными данными генератора служат два файла в формате YAML. Файл описания технологии формализует часть сведений DRM: заголовок с шагом технологической сетки, описание слоёв, правил, базовых технологических величин и приборов, а также секцию включения других технологических файлов. Файл параметров задаёт вспомогательную информацию, полезную при сборке ячейки: слои, размеры и стили меток PASS/FAIL, оформление меток дополнительной информации для антенных правил и правил плотности, а также формат меток для представления в виде «чёрного ящика». Общая схема маршрута приведена на рисунке 1.



Рисунок 1 – Общий маршрут синтеза топологии квалификационной ячейки

Синтез фрагментов для антенных правил

Антенное правило ограничивает отношение (antenna ratio) площади трассировочного слоя к площади затвора, поскольку в процессе плазмохимического травления проводник накапливает заряд, способный при достижении критической величины разрушить подзатворный диэлектрик подключённых транзисторов. Полнота валидации определяется покрытием тестовой библиотеки, поэтому была проведена систематизация топологических фрагментов, влияющих на выполнение или нарушение правила. В первую очередь варьируется площадь канала транзистора и число его пальцев – необходимо убедиться, что дека учитывает их во всех случаях.

Отдельно рассматривается порядок формирования слоёв: на накопление заряда влияют лишь фигуры, соединённые с затвором на момент своего создания, поэтому вводятся фрагменты с соединением через нижний и верхний мостики, а также случай соединения двух затворов через верхний мостик. При наличии в правиле защитного диода и контакта к подложке добавляются соответствующие вариации, включая увеличенную и уменьшенную площадь диода и разбиение диода на два элемента.

Чтобы не раскрывать детали топологии сложных функциональных блоков (СФ-блоков), их часто представляют в виде «чёрного ящика» (Black Box), внутренняя структура которого скрыта, а верификация обеспечивается специальными метками и выводами. При аттестации PDK критически важно проверить, что дека корректно распознаёт эти метки, поэтому в КЯ включаются фрагменты с blackbox-областями. «Чёрным ящиком» поочерёдно объявляются четыре типа областей – антенна, канал транзистора, диод и контакт к подложке, – а корректность считывания площадей проверяется для случаев, когда область находится целиком внутри блока и когда она пересекает его границу. После исключения заведомо невозможных комбинаций для одного типа прибора получено 66 различных фрагментов; при нескольких видах приборов их число существенно возрастает.

Синтез фрагментов для правил плотности

Генератор поддерживает два режима создания ячеек для правил плотности. Глобальный режим формирует одно окно с заданной плотностью и применяется для проверки плотности на всём кристалле. Локальный режим, выбираемый при указании в правиле размера окна и шага, создаёт множество окон с возрастающей или убывающей плотностью в зависимости от типа правила (минимальная или максимальная плотность) и типа ячейки (PASS или FAIL). При этом формируются три вида окон – без фигур заполнения, со смещением фигур основного слоя и фигур заполнения, а также полностью состоящие из фигур заполнения, – что позволяет убедиться в корректности подсчёта площадей декаой во всех конфигурациях.

В основе синтеза лежит двухэтапный алгоритм заполнения массива фигур. Сначала вычисляются минимальные ширины основного слоя и слоя заполнения, определяемые правилами минимальной ширины и отступа. Затем массив заполняется случайным образом с проверкой на каждом шаге всех действующих ограничений, включая ограничение на максимальную ширину. Из-за наличия этих ограничений результирующая плотность после случайного этапа всегда оказывается ниже заданной, поэтому применяется дополнительный детерминированный этап дозаполнения, на котором фигуры последовательно вставляются до достижения требуемого значения. Для правил плотности также реализовано `blackbox`-представление: в глобальном режиме во вспомогательной служебной сетке для каждой ячейки вычисляется площадь попадающих в неё фигур, после чего область «чёрного ящика» удаляется, а в центрах ячеек сетки размещаются метки с вычисленными значениями площадей.

Графический интерфейс пользователя

Для интерактивной работы с генератором разработан графический интерфейс на базе кроссплатформенного фреймворка Qt, выбор которого обусловлен тесной интеграцией с языком C++, развитым инструментарием построения интерфейсов, модульной архитектурой и качественной документацией. Интерфейс позволяет задавать проектное окружение, технологию и правило, исходную и выходную библиотеки, шаблон оформления ячейки, а также число параллельных процессов синтеза. Ход выполнения отображается в списке задач с указанием правила и статуса (SUCCEEDED / FAILED / RUNNING); предусмотрены перезапуск задач, просмотр log-файлов и открытие сгенерированных GDS-файлов. Внешний вид разработанного приложения приведён на рисунке 2.

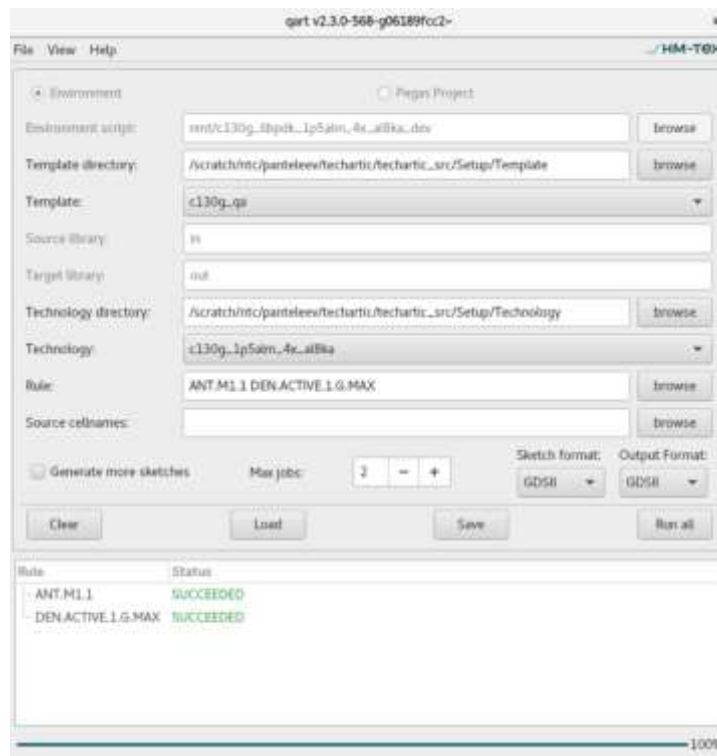


Рисунок 2 – Диалоговое окно разработанного приложения

Тестирование разработанных модулей

Корректность реализованного функционала подтверждена сочетанием модульного и системного тестирования, выполняемого средствами CTest из системы сборки CMake. Модульные тесты оформлены как самостоятельные консольные приложения на библиотеке Boost Test и проверяют, в частности, число создаваемых эскизов для различных правил, предельные значения применения правил, корректность свойств геометрических фигур и маркеров, попадание вершин в технологическую сетку и правильность формирования межслойных переходов. Регрессионное тестирование реализовано набором bash-сценариев: результаты, сформированные DRC-декой на сгенерированных ячейках, сравниваются с эталонными файлами, содержащими названия правил и ожидаемое число ошибок, а тест считается пройденным только при полном совпадении.

Для проверки графического интерфейса используются два подхода. В batch-режиме приложение исполняет весь маршрут без участия GUI, после чего контролируется наличие всех выходных файлов и отчётов. Второй подход основан на инструменте спее (GNU Xnee), позволяющем записывать и

воспроизводить последовательности пользовательских действий: в ключевых точках сценария формируются скриншоты окон, которые затем сравниваются с эталонными изображениями, что даёт возможность выявлять как функциональные, так и визуальные отклонения при развитии интерфейса.

Заключение

В работе решена научно-практическая задача автоматизированного синтеза топологии квалификационных ячеек для двух классов сложных правил – антенных правил и правил плотности заполнения слоёв. Предложены методы классификации и синтеза фрагментов, в том числе со скрытым представлением функциональных блоков в виде «чёрного ящика». Программные модули реализованы на языке C++ и дополнены графическим интерфейсом на базе фреймворка Qt. Разработанные средства протестированы и внедрены в маршрут разработки PDK. Дальнейшее развитие проекта предполагает распространение методов синтеза на другие классы сложных правил и расширение верификационного покрытия тестовых библиотек.

Литература

1. Марченко М. А., Плис А. П., Сотников М. А. Контурная модель топологии ячейки СБИС для задачи сжатия // Труды НИИР. – 2000. – С. 73–75.
2. Пантелеев Е. Д. Автоматизированный синтез квалификационных ячеек для антенных правил // Микроэлектроника и информатика – 2025: тезисы докладов 32-й Всероссийской межвузовской научно-технической конференции студентов и аспирантов. – М. : МИЭТ, 2025.
3. Scott M. C., Peralta M. O., Carothers J. D. System and Framework for QA of Process Design Kits [Electronic resource] // ISQED. – IEEE, 2003. – 6 p.
4. Sadangi S. FreePDK3: A Novel PDK for Physical Verification at the 3nm Node. – Raleigh : North Carolina State University, 2021. – 65 p.
5. Lavagno L., Markov I. L., Martin G., Scheffer L. K. Electronic Design Automation for IC Implementation, Circuit Design, and Process Technology. – CRC Press, 2016. – 773 p.

6. Reinhardt M. Automatic Layout Modification. – Kluwer Academic Publishers, 2002. – 223 p.
7. Mead C., Conway L. Introduction to VLSI Systems. – Addison-Wesley, 1980. – pp. 91–111.
8. Blanchette J., Summerfield M. C++ GUI Programming with Qt 4. – Boston : Prentice Hall, 2012. – 1136 p.
9. The Boost Geometry Library [Электронный ресурс]. – URL: boost.org (дата обращения: 13.05.2026).

References

1. Marchenko M. A., Plis A. P., Sotnikov M. A. Contour model of a VLSI cell layout for the compression problem // Trudy NIIR. – 2000. – pp. 73–75.
2. Pantelev E. D. Automated synthesis of qualification cells for antenna rules // Microelectronics and Informatics – 2025: Abstracts of the 32nd All-Russian Interuniversity Scientific and Technical Conference of Students and Postgraduates. – Moscow : MIET, 2025.
3. Scott M. C., Peralta M. O., Carothers J. D. System and Framework for QA of Process Design Kits [Electronic resource] // ISQED. – IEEE, 2003. – 6 p.
4. Sadangi S. FreePDK3: A Novel PDK for Physical Verification at the 3nm Node. – Raleigh : North Carolina State University, 2021. – 65 p.
5. Lavagno L., Markov I. L., Martin G., Scheffer L. K. Electronic Design Automation for IC Implementation, Circuit Design, and Process Technology. – CRC Press, 2016. – 773 p.
6. Reinhardt M. Automatic Layout Modification. – Kluwer Academic Publishers, 2002. – 223 p.
7. Mead C., Conway L. Introduction to VLSI Systems. – Addison-Wesley, 1980. – pp. 91–111.
8. Blanchette J., Summerfield M. C++ GUI Programming with Qt 4. – Boston : Prentice Hall, 2012. – 1136 p.
9. The Boost Geometry Library [Electronic resource]. – URL: boost.org (accessed: 13.05.2026).