

Алямовский Кирилл Дмитриевич

НИУ МИЭТ АО «НПЦ ЭЛВИС», Зеленоград

ведущий инженер-программист

**РЕАЛИЗАЦИЯ ПРОГРАММНОГО СТЕКА ПРОТОКОЛОВ ЦППР
(ГОСТ Р 71586) НА БАЗЕ ОТЕЧЕСТВЕННОЙ ДВУХЪЯДЕРНОЙ
ВЫЧИСЛИТЕЛЬНОЙ ПЛАТФОРМЫ SoC EIIoT**

Аннотация. В статье рассматриваются вопросы проектирования и практической реализации программного стека цифровой профессиональной подвижной радиосвязи (ЦППР) в соответствии с новыми национальными стандартами серии ГОСТ Р 71586, введенными в действие с 1 февраля 2025 года. Разработанное программное обеспечение функционирует в среде операционной системы реального времени FreeRTOS с использованием объектно-ориентированного подхода на языке C++. В качестве вычислительной платформы применен отечественный двухъядерный микроконтроллер (SoC) EIIoT на базе архитектуры ARM Cortex-M33. Описана оригинальная архитектура распределения задач между ядрами процессора, а также метод аппаратной синхронизации временных слотов множественного доступа с разделением по времени (TDMA), минимизирующий фазовый джиттер. Приводятся результаты экспериментальной верификации разработанного макета радиостанции, подтверждающие его полную функциональную совместимость с коммерческим связным оборудованием стандартов ЦППР/DMR.

Ключевые слова: ЦППР, ГОСТ Р 71586, DMR, SoC EIIoT, Cortex-M33, вокодер, TDMA, FreeRTOS, импортозамещение.

Annotation. The paper discusses the design and practical implementation of a Digital Mobile Radio (DMR) software protocol stack compliant with the new Russian national standards of the GOST R 71586 series. The developed software is built using an object-oriented approach in C++ and operates within the FreeRTOS

real-time operating system environment. The hardware foundation of the proposed prototyping system utilizes the domestic dual-core EIIoT System-on-Chip (SoC) featuring the ARM Cortex-M33 architecture. The author presents an original asymmetric multiprocessing (AMP) task distribution scheme between the processor cores, as well as a hardware-driven synchronization method for Time-Division Multiple Access (TDMA) time slots that effectively minimizes phase jitter. The paper provides experimental validation results of the developed radio terminal prototype, confirming its full functional compatibility with commercial DMR/CPMR communication equipment in various operational modes.

Keywords: CPMR, GOST R 71586, DMR, SoC EIIoT, Cortex-M33, vocoder, TDMA, FreeRTOS, import substitution.

Построение ведомственных и корпоративных сетей критической связи в Российской Федерации переходит на использование комплекса национальных стандартов ГОСТ Р 71586, регламентирующих архитектуру систем цифровой профессиональной подвижной радиосвязи (ЦПР).

Внедрение данных стандартов обусловлено стратегической необходимостью формирования суверенной, технологически независимой экосистемы беспроводного обмена данными для объектов критической информационной инфраструктуры.

Исторически в данном сегменте телекоммуникационного рынка доминировали зарубежные проприетарные архитектуры, а также открытый международный стандарт DMR (*Digital Mobile Radio*).

Переход к национальному стандарту ЦПР требует оперативного создания отечественной программно-аппаратной базы, способной функционировать в условиях жестких санкционных ограничений. Основным научно-инженерным вызовом при проектировании таких систем является адаптация вычислительно емких протоколов канального (Layer 2) и сетевого (Layer 3) уровней под архитектурные особенности перспективных российских однокристалльных систем (SoC).

Разрабатываемое программное обеспечение должно функционировать в контуре жесткого реального времени (*Real-Time Constraints*), накладываемого технологией временного разделения каналов (TDMA).

Ситуация осложняется тем, что отечественные гетерогенные процессоры общего и специального назначения имеют уникальную топологию межъядерного взаимодействия.

Вычислительным ядром разработанного макета абонентской радиостанции является отечественная однокристалльная система (SoC) EIoT, содержащая два процессорных ядра общего назначения архитектуры *ARM Cortex-M33* с максимальной тактовой частотой до 144 МГц. Программное обеспечение реализовано с использованием операционной системы реального времени FreeRTOS и декомпозировано на логические модули в рамках объектно-ориентированного каркаса на языке C++. Применение ООП-подхода позволило абстрагировать аппаратные зависимости и обеспечило высокую масштабируемость программного стека при интеграции новых сервисов связи.

Разделение вычислительных доменов на аппаратном уровне позволяет полностью изолировать критические по времени задачи радиотрансляции от системных фоновых процессов. Распределение функциональных обязанностей между вычислительными узлами кристалла организовано следующим образом описано далее.

Вычислительный домен Ядра 0 (Управление и периферийные интерфейсы):

1. первичное конфигурирование внутренних аппаратных узлов, регистров общего назначения и периферийных контроллеров SoC непосредственно после сброса системы;
2. реализация алгоритмов динамического управления электропитанием периферийных компонентов для минимизации общего энергопотребления абонентского терминала в режиме сна;

3. реализация полнофункционального программного стека USB, поддерживающего класс CDC (для организации виртуального COM-порта отладки и трансляции коротких текстовых сообщений SMS из консоли персональной ЭВМ в радиоэфир и обратно) и класс DFU (для обеспечения возможности безопасного обновления встроенного программного обеспечения устройства).

Вычислительный домен Ядра 1 (Протокольный процессор ЦППР):

1. прямое низкоуровневое взаимодействие с аппаратными регистрами и буферами микросхемы радиотрансивера по высокоскоростным интерфейсам;

2. побитовый и побайтовый разбор принимаемых пакетов, а также динамическое формирование служебных и информационных структур данных в соответствии со спецификациями протоколов DMR и ЦППР;

3. организация информационного обмена с внешней энергонезависимой памятью EEPROM по системной шине I2C с целью считывания и записи конфигурационного профиля, идентификаторов и индивидуальных настроек абонентского устройства;

4. инициализация и конфигурирование параметров интегральной микросхемы аудиокодека ES8327, а также внешнего аналого-цифрового преобразователя (АЦП) CM1103 по системной шине I2C;

5. циклический опрос внешнего АЦП CM1103 для непрерывного мониторинга телеметрических параметров радиостанции и текущего уровня заряда аккумуляторной батареи;

Такая топологическая организация программного обеспечения гарантирует, что интенсивный трафик по шине USB или операции записи в энергонезависимую память на Ядре 0 не окажут влияния на временную стабильность выполнения задач канального (Layer 2) и сетевого (Layer 3) уровней на ядре CPU1 системы на кристалле ElioT.

Взаимодействие между независимыми экземплярами OCPB FreeRTOS, запущенными на каждом из ядер, осуществляется через оптимизированный

механизм межъядерного обмена (IPC) на основе разделяемой памяти (Shared Memory). Межъядерная синхронизация при этом поддерживается набором аппаратных прерываний из блока MHU (Message Handler Unit) SoC ElioT.

Структурная схема организации разработанного программного обеспечения и топология межкомпонентных связей внутри гетерогенной вычислительной среды абонентского терминала представлена на рисунке 1.

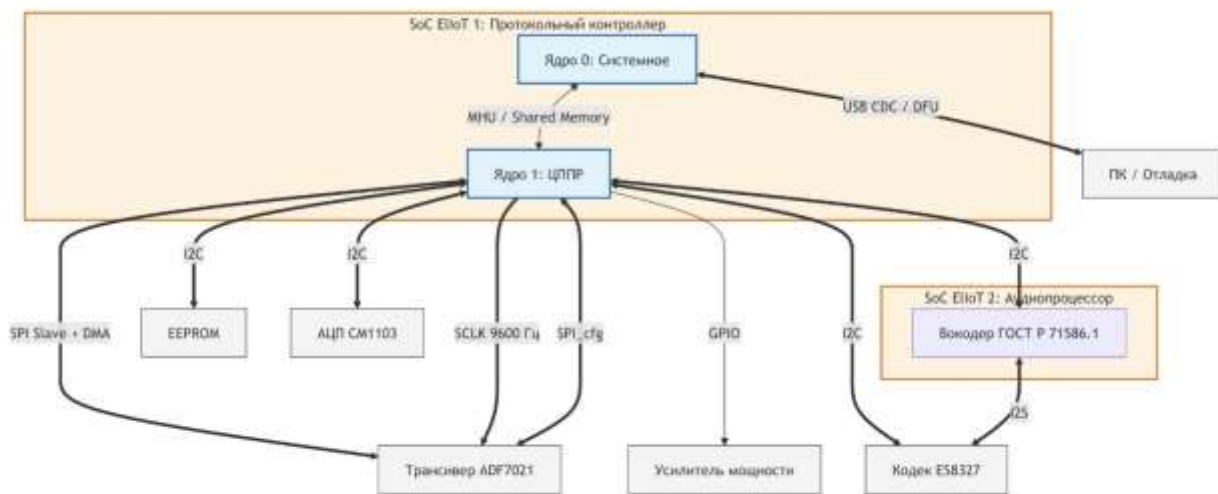


Рисунок 1 – Архитектура программно-аппаратного комплекса макета радиостанции

Организация потоковой обработки речи и вокодера

Для сжатия и кодирования речевого сигнала в макете применен алгоритм вокодера, математическая модель и структура данных которого строго соответствуют Приложению К стандарта ГОСТ Р 71586.1-2024.

Специфика стандартов DMR/ЦППР накладывает критические ограничения на задержку вычислений: длительность одного фрейма составляет 60 мс, в течение которых система должна успеть обработать один сокет вокодера. В ходе исследования были сняты хронометрические показатели производительности процессорного ядра:

- 1) Максимальное время кодирования одного вокодер-фрейма составило 13,7 мс.
- 2) Максимальное время декодирования одного вокодер-фрейма составило 15,4 мс.

Полученные временные метрики экспериментально доказывают, что вычислительного потенциала архитектуры Cortex-M33 (144 МГц) с запасом хватает для обеспечения симплексной потоковой обработки аудиоданных в реальном времени.

Метод аппаратной синхронизации и работа с радиотрактами

В качестве физического уровня (Layer 1) радиоинтерфейса 4FSK в лабораторном макете задействован интегральный трансивер ADF7021. Ввиду того, что трансивер функционирует в режиме источника синхронизации тактовой частоты (Clock Master) для цифровых данных, в работе был реализован метод полной синхронизации вычислительного стека от внешнего аппаратного блока.

Механизм обеспечения синхронизации TDMA:

1. Организован высокоприоритетный обработчик прерываний по входу прерывания заднего фронта сигнала SCLK (тактовая частота 9600 Гц от ADF7021).
2. Внутри прерывания инкрементируется циклический счетчик битов с модулем пересчета 576 (длина полной битовой структуры фрейма ЦППР).
3. На определенных позициях счетчика осуществляются аппаратные действия: коммутация питания усилителя мощности (Radio Power Amp) и запуск DMA-передачи пакетов через блок SPI Slave системы на кристале E110T.
4. Синхронизация по приему (для режимов TDMA Direct Mode и работы через ретранслятор с двухчастотным разносом) вынесена в задачу RxTask. Данные из SPI Slave через контроллер DMA непрерывно поступают в кольцевой буфер. Поиск синхрогруппы осуществляется методом «скользящего окна» путем расчета расстояния Хэмминга для текущего вектора бит.

Такой подход позволил исключить внутренние таймеры общего назначения SoC из процесса формирования временной сетки радиоэффира в пользу использования синхронизационного сигнала, получаемого путем деления частоты опорного генератора с низким температурным дрейфом

частоты. Погрешность формирования таймслотов жестко ограничена дискретностью одного периода SCLK и составляет 104,4 мкс, что гарантирует стабильное удержание слота и исключает наложение пакетов (inter-slot interference).

Структурная схема алгоритма обеспечения синхронизации приведена на рисунке 2.

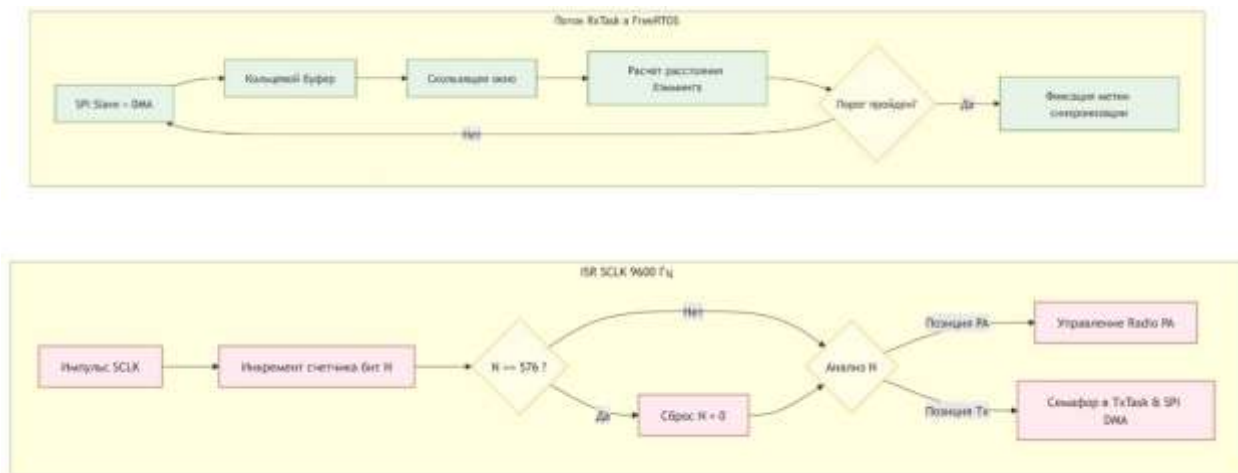


Рисунок 2 – Структурная схема алгоритма обеспечения синхронизации макета ЦППР

Экспериментальные результаты и верификация совместимости

В разработанном программном стеке полностью реализованы протоколы канального (L2) и сетевого (L3) уровней ЦППР. Для подтверждения корректности работы стека и его технологической независимости были проведены комплексные испытания макета на совместимость с серийными зарубежными терминалами DMR.

Тестирование проводилось в режимах прямой связи (Direct Mode), двухчастотного полудуплекса через базовый ретранслятор, а также в режиме TDMA Direct Mode (Dual Capacity Direct Mode). Испытания проводились со станциями TYT MD380 и Kirisun DP990 DLF.

В ходе экспериментов была зафиксирована 100% стабильность трансляции и обработки следующих типов сервисов связи:

- Групповые и индивидуальные (Private) голосовые вызовы.
- Передача текстовых сообщений (SMS).

- Системные и управляющие команды: *Call Alert*, *Radio Check*, удаленная блокировка (*Radio Block*) и разблокировка (*Radio Unblock*) терминала.

Заключение и перспективы развития

В работе успешно решена научно-практическая задача создания отечественного программного стека ЦППР, оптимизированного под архитектуру двухъядерного SoC ElIoT. Предложенная схема асимметричного распределения задач и метод синхронизации по линии аппаратного синхроимпульса трансивера обеспечили высокую временную и стабильность функционирования системы в жестком реальном времени.

Разработанный стек является аппаратно-независимым) программным IP-блоком Layer 2/Layer 3. На следующем этапе развития проекта планируется замена трансивера ADF7021 на отечественный аналог, а также интеграция в стек механизмов криптографической защиты информации на базе российских алгоритмов шифрования ГОСТ Р 34.12-2015 («Кузнечик» и «Мagma») с использованием аппаратных ускорителей безопасности SoC ElIoT.

Литература

1. ГОСТ Р 71586.1–2024. Цифровая профессиональная подвижная радиосвязь. Общие положения. Режим прямой конвенциональной связи абонентских станций [Электронный ресурс]. – Введ. 2025–02–01. – М. : Российский институт стандартизации, 2024. – 326 с.
2. ETSI TS 102 361-1 V2.5.1 (2017-10). Electromagnetic compatibility and Radio spectrum Matters (ERM); Digital Mobile Radio (DMR) Systems; Part 1: DMR Air Interface (AI) protocol [Electronic resource] / European Telecommunications Standards Institute. – Valbonne : ETSI, 2017. – 164 p.
3. ГОСТ Р 34.12–2015. Информационная технология. Криптографическая защита информации. Блочные шифры [Электронный ресурс]. – Введ. 2016–01–01. – М. : Стандартинформ, 2015. – 23 с.
4. Робенков, Д. Н. Системы мобильной связи. Изучение цифровой системы технологической радиосвязи стандарта DMR: практикум : учебное

пособие / Д. Н. Роенков, П. А. Плеханов. – Санкт-Петербург : ПГУПС, 2025. – 52 с. – ISBN 978-5-7641-2129-1.

5. Таненбаум, Э. Компьютерные сети / Э. Таненбаум, Д. Уэзеролл ; [пер. с англ. Н. Вильчинский]. – 6-е изд. – СПб. : Питер, 2023. – 960 с. : ил. – (Серия «Классика Computer Science»). – ISBN 978-5-4461-1901-1.
6. Громов, Ю. Ю. Проектирование встраиваемых систем реального времени на базе микроконтроллеров с архитектурой ARM Cortex-M : учебное пособие / Ю. Ю. Громов, О. Г. Иванова, А. В. Лагутин. – Тамбов : Изд-во ФГБОУ ВО «ТГТУ», 2021. – 112 с. : ил. – ISBN 978-5-8265-2423-7.
7. Cortex-M33 Technical Reference Manual [Electronic resource] / ARM Baseline Processors. – Revision r1p0. – Cambridge : ARM Limited, 2017. – 414 p. – URL: arm.com (дата обращения: 07.08.2026).
8. ADF7021: High Performance Narrow-band Transceiver IC [Electronic resource] / Analog Devices. – Rev. D. – Norwood : Analog Devices, Inc., 2014. – 60 p. – URL: analog.com (дата обращения: 05.08.2026).
9. Barry, R. Mastering the FreeRTOS Real Time Kernel: A Hands-On Tutorial Guide [Electronic resource] / R. Barry. – Real Time Engineers Ltd., 2016. – 400 p. – URL: freertos.org (дата обращения: 01.08.2026).

References

1. GOST R 71586.1–2024. Digital professional mobile radio communications. General provisions. Direct conventional communication mode of subscriber stations [Electronic resource]. – Introduced 2025–02–01. – Moscow: Russian Institute of Standardization, 2024. – 326 p.
2. ETSI TS 102 361-1 V2.5.1 (2017-10). Electromagnetic compatibility and Radio spectrum Matters (ERM); Digital Mobile Radio (DMR) Systems; Part 1: DMR Air Interface (AI) protocol [Electronic resource] / European Telecommunications Standards Institute. – Valbonne: ETSI, 2017. – 164 p.
3. GOST R 34.12–2015. Information technology. Cryptographic protection of information. Block Ciphers [Electronic resource]. – Introd. 2016–01–01. – Moscow: Standartinform, 2015. – 23 p.

4. Roenkov, D. N. Mobile Communication Systems. Study of the Digital Technological Radio Communication System of the DMR Standard: Workshop: Textbook / D. N. Roenkov, P. A. Plekhanov. – Saint Petersburg: PGUPS, 2025. – 52 p. – ISBN 978-5-7641-2129-1.
5. Tanenbaum, E. Computer Networks / E. Tanenbaum, D. Weatherall; [translated from English by N. Vilchinsky]. – 6th ed. – Saint Petersburg: Piter, 2023. – 960 p.: ill. – (Series "Computer Science Classics"). – ISBN 978-5-4461-1901-1.
6. Gromov, Yu. Yu. Design of Embedded Real-Time Systems Based on ARM Cortex-M Microcontrollers: A Tutorial / Yu. Yu. Gromov, O. G. Ivanova, A. V. Lagutin. – Tambov: Publishing House of FSBEI HE "TSTU", 2021. – 112 p. : ill. – ISBN 978-5-8265-2423-7.
7. Cortex-M33 Technical Reference Manual [Electronic resource] / ARM Baseline Processors. – Revision r1p0. – Cambridge: ARM Limited, 2017. – 414 p. – URL: arm.com (accessed: 07.08.2026).
8. ADF7021: High Performance Narrow-band Transceiver IC [Electronic resource] / Analog Devices. – Rev. D. – Norwood: Analog Devices, Inc., 2014. – 60 p. – URL: analog.com (access date: 08/05/2026).
9. Barry, R. Mastering the FreeRTOS Real Time Kernel: A Hands-On Tutorial Guide [Electronic resource] / R. Barry. – Real Time Engineers Ltd., 2016. – 400 p. – URL: freertos.org (access date: 08/01/2026).